

1/5/3

DIALOG(R) File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

BEST AVAILABLE COPY

05384738 \*\*Image available\*\*

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUB. NO.: 08-340238 [ JP 8340238 A]

PUBLISHED: December 24, 1996 (19961224)

INVENTOR(s): TAMADA YUZO  
OSHIMA SHIGEO

APPLICANT(s): TOSHIBA MICROELECTRON CORP [486761] (A Japanese Company or Corporation), JP (Japan)  
TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 07-147382 [JP 95147382]

FILED: June 14, 1995 (19950614)

INTL CLASS: [6] H03H-011/26; H03K-005/13; H03K-019/0948

JAPIO CLASS: 44.1 (COMMUNICATION -- Transmission Circuits & Antennae);  
42.2 (ELECTRONICS -- Solid State Components); 42.4  
(ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

#### ABSTRACT

PURPOSE: To provide a semiconductor integrated circuit device including a delay circuit capable of reducing the power supply voltage dependency of delay time.

CONSTITUTION: This semiconductor integrated circuit device is provided with a delay circuit 1 including an inverter 13 for receiving an input signal, an output signal line 11 connected to the output of the inverter 13, a switch circuit 17 in which one end of its current path is connected to the signal line 11, and a capacitor 15 in which one electrode is connected to another end of the current path of the circuit 17 and a power supply voltage variation detecting circuit 9 for controlling the circuit 17. At the time of detecting variation in power supply voltage, the circuit 9 turns on or off the circuit 17 and connects or separates the capacitor 15 to/from the signal line 11 to change the capacitance of the signal line 11 and control the delay time of the delay circuit 1.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-340238

(43) 公開日 平成8年(1996)12月24日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 11/26		8731-5 J	H 0 3 H 11/26	A
		8731-5 J		D
H 0 3 K 5/13			H 0 3 K 5/13	
19/0948			19/094	B

審査請求 未請求 請求項の数11 O L (全 19 頁)

(21) 出願番号 特願平7-147382  
(22) 出願日 平成7年(1995)6月14日

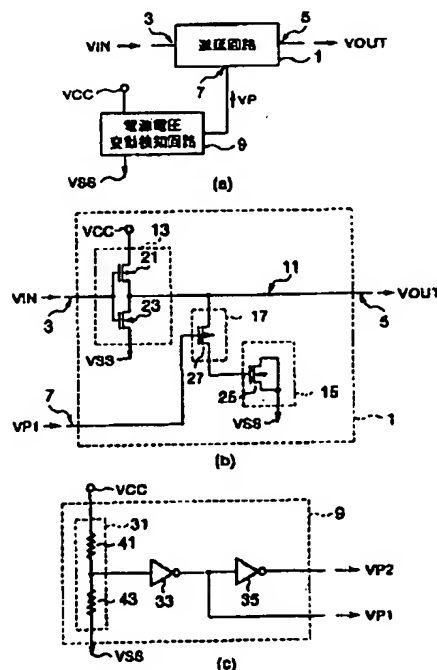
(71) 出願人 000221199  
東芝マイクロエレクトロニクス株式会社  
神奈川県川崎市川崎区駅前本町25番地 1  
(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 玉田 雄三  
神奈川県川崎市川崎区駅前本町25番地 1  
東芝マイクロエレクトロニクス株式会社内  
(72) 発明者 大島 成夫  
神奈川県川崎市幸区堀川町580番 1 号 株  
式会社東芝半導体システム技術センター内  
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 この発明は、遅延時間の電源電圧依存性を小さくできる遅延回路を含む半導体集積回路装置を提供しようとするものである。

【構成】 入力信号を受けるインバータ 1 3、このインバータ 1 3 の出力に接続された出力信号線 1 1、この出力信号線 1 1 に電流通路の一端を接続したスイッチ回路 1 7、このスイッチ回路 1 1 の電流通路の他端に一方の電極を接続したコンデンサ 1 5 とを含む遅延回路 1 と、スイッチ回路 1 1 を制御するための電源電圧変動検知回路 9 とを有する。検知回路 9 は、電源電圧の変動を検知したとき、スイッチ回路 1 1 をオン、又はオフさせて、出力信号線 1 1 にコンデンサ 1 5 を接続、又は出力信号線 1 1 からコンデンサ 1 5 を分離して、出力信号線 1 1 の容量を変化させ、遅延回路 1 の遅延時間を調節する。



1

## 【特許請求の範囲】

【請求項1】 配線、およびこの配線に接続された容量回路を含む遅延回路と、

前記配線と前記容量回路とを接続する電流経路に流せる電流の量を調節し、前記遅延回路の遅延時間を変更する遅延時間変更回路とを具備することを特徴とする半導体集積回路装置。

【請求項2】 電源電圧の変動を検知する検知回路と、容量回路と、

前記検知回路の出力信号に応じて、前記容量回路を回路内の一配線に結合させる結合回路とを具備することを特徴とする半導体集積回路装置。

【請求項3】 集積回路の動作モードを規定するモード回路と、容量回路と、

前記モード回路の出力信号に応じて、前記容量回路を回路内の一配線に結合させる結合回路とを具備することを特徴とする半導体集積回路装置。

【請求項4】 電源電圧の変動を検知する検知回路と、前記検知回路の出力信号を受け、この出力信号に応じて、遅延時間を変える遅延回路とを具備することを特徴とする半導体集積回路装置。

【請求項5】 集積回路の動作モードを規定するモード回路と、

前記モード回路の出力信号を受け、この出力信号に応じて、遅延時間を変える遅延回路とを具備することを特徴とする半導体集積回路装置。

【請求項6】 論理回路と、

前記論理回路の出力に接続された配線と、ドレインおよびソースの一方を、前記配線に接続した絶縁ゲート型FETと、  
前記絶縁ゲート型FETのドレインおよびソースの他方に、一方の電極を接続したコンデンサとを具備し、  
前記絶縁ゲート型FETのゲートに入力される信号に応じて、前記絶縁ゲート型FETのゲートのソース、ドレイン間に流せる電流の量を調節し、前記配線に結合される容量を変更することを特徴とする半導体集積回路装置。

【請求項7】 電源電圧の変動を検知する検知回路と、論理回路と、

前記論理回路の出力に接続された配線と、ドレインおよびソースの一方を、前記配線に接続し、ゲートに、前記検知回路の出力信号が入力される絶縁ゲート型FETと、

前記絶縁ゲート型FETのドレインおよびソースの他方に、一方の電極を接続したコンデンサとを具備し、  
前記検知回路の出力信号に応じて、前記絶縁ゲート型FETのソース、ドレイン間に流せる電流の量を調節し、  
前記配線に結合される容量を変更することを特徴とする半導体集積回路装置。

2

【請求項8】 集積回路の動作モードを規定するモード回路と、

論理回路と、

前記論理回路の出力に接続された配線と、

ドレインおよびソースの一方を、前記配線に接続し、ゲートに、前記モード回路の出力信号が入力される絶縁ゲート型FETと、

前記絶縁ゲート型FETのドレインおよびソースの他方に、一方の電極を接続したコンデンサとを具備し、

前記モード回路の出力信号に応じて、前記絶縁ゲート型FETのソース、ドレイン間に流せる電流の量を調節し、前記配線に結合される容量を変更することを特徴とする半導体集積回路装置。

【請求項9】 論理回路と、

前記論理回路の出力配線に、容量を結合させる結合回路とを具備し、

前記結合回路に流せる電流の量を調節して、前記出力配線の容量を変え、前記論理回路の出力の立ち上げ時間、および立ち下げ時間のいずれかを変更することを特徴とする半導体集積回路装置。

【請求項10】 論理回路と、

前記論理回路の出力配線に、容量を結合させる結合回路とを具備し、

電源電圧が基準レベルより高いときには、前記電源電圧が基準レベルより低いときよりも、前記結合回路が、より多くの電流を流せる状態として、前記出力配線の容量を変え、前記電源電圧のレベルに応じて、前記論理回路の出力信号の立ち上がり時間、および立ち下がり時間のいずれかを変更することを特徴とする半導体集積回路装置。

【請求項11】 論理回路と、

前記論理回路の出力配線に、容量を結合させる結合回路とを具備し、

前記結合回路が流せる電流の量が大きい第1の状態と、前記結合回路が流せる電流の量が第1の状態よりも小さい第2の状態とを得て、前記第1の状態と、前記第2の状態とで前記出力配線の容量を変え、前記第1の状態および前記第2の状態のいずれかを選ぶことで、前記論理回路の出力信号の立ち上がり時間、および立ち下がり時間のいずれかを変更することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体集積回路装置に係わり、特に半導体集積回路装置の遅延回路に関する。

【0002】

【従来の技術】半導体集積回路装置の中には、信号のタイミングを調整するために、遅延回路が組み込まれていることが多い。一般に遅延回路と称されるものは、入力

信号に対して、ある時間を経て出力信号を作り出す回路である。この“ある時間”を、遅延時間と呼び、この遅延時間を制御する方法としては、従来、次のような方法がある。

- 【0003】(1) インバータの段数を重ねる。  
(2) インバータとキャパシタとを組み合わせる。

(1)の方法は、インバータ自体の遅延を利用したもので、インバータの段数を重ねることにより、遅延時間を長くすることができる。

【0004】(2)の方法は、キャパシタの放電特性、あるいは充電特性を利用したもので、インバータの出力配線にキャパシタを接続することにより、(1)の方法に比べて、より長い遅延時間を得ることができる。

【0005】図19は、インバータとキャパシタとを組み合わせた、従来の遅延回路の回路図である。図19に示すように、インバータ100の出力配線101に、キャパシタ102が接続されている。インバータ100は、CMOS型インバータであり、キャパシタ102は、Nチャネル型MOSコンデンサ103である。このMOSコンデンサ103のソースおよびドレインは、低電位電源VSSに接続され、そのゲートは配線101に接続されている。

【0006】次に、動作について説明する。入力信号VINがVSSレベルの状態、MOSコンデンサ103が充分に充電されていたとする。この状態から、入力信号VINがVCCレベルに切り替わると、インバータ100内の図示せぬNチャネル型MOSトランジスタがオンして、配線101を放電させる。このとき、MOSコンデンサ103が充電されているので、配線101の全体を放電させるのに時間がかかる。

【0007】このように、図19に示す遅延回路では、配線101の電位をVSSレベルにするのに、配線101とMOSコンデンサ103とをそれぞれ放電させるために、長い時間を得ることができる。

【0008】

【発明が解決しようとする課題】しかしながら、図19に示す遅延回路は、遅延時間が電源電圧VCCに依存する。図20は、遅延時間と電源電圧との関係を示す図である。

【0009】図20に示すように、電源電圧VCCが高まるにつれて、遅延時間は短くなってくる。このような電源電圧依存性が高い遅延回路では、電源電圧VCCが変動すると、遅延時間が変わるので、集積回路の動作が混乱する可能性がある。

【0010】また、集積回路を設計するときには、まず、ある電源電圧(設計電源電圧)を決め、トランジスタ、スタンダードな回路(例えば論理回路)、および遅延回路などを組み合わせる。その後、遅延回路に、集積回路の動作に必要な遅延時間を、決めていく。

【0011】このような回路設計により作られる集積回

路では、その動作を、広範囲な電源電圧VCCで保証しようとするれば、回路設計に困難が伴う。このような状況のもと、遅延回路は、電源電圧依存性が小さいことが望ましい。

【0012】この発明は、上記の点に鑑みて為されたもので、その目的は、遅延時間の電源電圧依存性を小さくできる遅延回路を含む半導体集積回路装置を提供することにある。また、別の目的は、動作モードに応じて、遅延時間を変えられる遅延回路を含む半導体集積回路装置を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために、この発明では、電源電圧の変動を検知するための検知回路と、容量回路とを設け、検知回路からの出力信号に応じて、配線に、容量回路を接続することで、配線の容量を変えることを特徴としている。

【0014】また、上記別の目的を達成するために、この発明では、動作モードを規定するモード回路と、容量回路とを設け、モード回路からの出力信号に応じて、配線に、容量回路を接続することで、配線の容量を変えることを特徴としている。

【0015】

【作用】上記構成を有する半導体集積回路装置では、検知回路、あるいはモード回路からの出力信号に応じて、配線に容量回路を接続するので、配線の容量が可変となる。配線の容量が可変であれば、この配線を流れる信号の遅延量が可変となる。そして、上記の遅延量を、電源電圧に応じてあるいは動作モードに応じて、増加あるいは減少させれば、遅延時間の電源電圧依存性が小さくなる、あるいは動作モードに応じて遅延時間を変えられる遅延回路を得ることができる。

【0016】

【実施例】以下、この発明を実施例により説明する。この説明に際し、全ての図面において、同一の部分には同一の参照符号を付し、重複する説明は避けることにする。図1は、この発明の第1の実施例に係る遅延回路を含む半導体集積回路装置を示す図で、(a)図はブロック図、(b)図は遅延回路の回路図、(c)図は電源電圧変動検知回路の回路図である。

【0017】図1(a)に示すように、遅延回路1は、入力部3と、出力部5と、調節信号の入力部7とを有する。入力信号VINは入力部3に入力され、入力信号VINを所定の遅延時間だけ遅らせた出力信号VOUTを出力部5から出力する。電源電圧変動検知回路9から出力された調節信号VPは、入力部7に入力される。検知回路9は、電源電圧の変動を検知し、変動が、あるレベルを越えたときに、調節信号VPを出力する。遅延回路1は、この調節信号VPを受けて、遅延時間を調節する。

【0018】次に、遅延回路1、および検知回路9の、

具体的な回路について説明する。まず、第1の実施例に係る集積回路装置が有する遅延回路1は、図1(b)に示すように、入力端子を入力部3に接続し、出力端子を出力配線11に接続したインバータ13と、コンデンサ15と、配線11にコンデンサ15を接続するためのスイッチ回路17とを含む。

【0019】インバータ13は、ソースを高電位電源VCCに接続し、ゲートを入力部3に接続したPチャネル型MOSFET21と、ソースを低電位電源VSS（例えば接地）に接続し、ドレインをMOSFET21のドレインに接続し、ゲートをMOSFET21のゲートに接続したNチャネル型MOSFET23とを含む。

【0020】コンデンサ15は、ソースおよびドレインをそれぞれ低電位電源VSSに接続したNチャネル型MOSコンデンサ25である。スイッチ回路17は、ソースをMOSコンデンサ25のゲートに接続し、ドレインを信号線11に接続しゲートを入力部7に接続したPチャネル型MOSFET27を含む。MOSFET27がオンしているとき、MOSコンデンサ25は、信号線11に接続される。一方、MOSFET27がオフしているとき、MOSコンデンサ25は、信号線11から切り離される。

【0021】また、第1の実施例に係る集積回路装置が有する検知回路9は、図1(c)に示すように、高電位電源VCCと低電位電源VSSとの間に直列に接続した分圧回路31と、分圧回路31の出力端子に入力端子を接続したインバータ33と、インバータ33の出力端子に入力端子を接続したインバータ35とを含む。インバータ33の出力端子からは、調節信号VP1が得られ、インバータ35の出力端子からは、調節信号VP2が得られる。調節信号VP1は、MOSFET27のゲートに入力される。調節信号VP2は、調節信号VP1の反転レベルの信号であるが、第1の実施例に係る装置では使用されない。

【0022】分圧回路31は、一端を電源VCCに接続した抵抗41と、一端を抵抗41の他端に接続し、他端を電源VSSに接続した抵抗43とを含む。抵抗41と抵抗43との相互接続点から、電源電圧を分圧した分圧信号が得られ、この分圧信号がインバータ33の入力端子に入力される。インバータ33は、分圧信号の電位レベルが、インバータ33のしきい値を越えたとき、その出力レベルを反転させる。即ち、検知回路9は、分圧回路31の分圧レベルと、変動検知の基準となる上記しきい値とを比較する、一種のコンパレータである。このコンパレータは、分圧レベルが、しきい値を越えたとき、電源電圧が変動したことを検知する。

【0023】次に、第1の実施例に係る装置の動作について説明する。図2は、遅延時間と、電源電圧との関係を示す図である。図2の縦軸は遅延時間(nsec)で、横軸は電源電圧(V)である。

【0024】図2に示すように、電源電圧VCCが、 $VCC \leq P0$ のとき、検知信号VP1はVCCレベル、検知信号VP2はVSSレベルとなる。ここで、電位P0は、遅延時間を調節するための基準となる電位である。

【0025】一方、電源電圧VCCが、 $P0 < VCC$ のときには、上記の範囲とは反対に、検知信号VP1はVSSレベル、検知信号VP2はVCCレベルとなる。まず、電源電圧VCCが、 $VCC \leq P0$ のときの動作について説明する。

【0026】 $[VCC \leq P0]$  検知信号VP1はVCCレベルであるために、図1(b)に示すPMOSトランジスタ27がオフし、NMOSコンデンサ25は信号線11から分離される。

【0027】この状態では、信号線11の電位の立ち上げ（この実施例ではVOUTの立ち上げになる）、および信号線11の電位の立ち下げ（この実施例ではVOUの立ち下げになる）のいずれもが、インバータ13一段だけの遅延がかかる。

【0028】次に、電源電圧VCCが、 $P0 < VCC$ のときの動作について説明する。

【 $P0 < VCC$ 】 検知信号VP1はVSSレベルであるために、図1(b)に示すPMOSトランジスタ27がオンし、NMOSコンデンサ25は信号線11に接続される。

【0029】この状態では、信号線11の電位の立ち上げ（この実施例ではVOUの立ち上げになる）に、ほぼインバータ13一段だけの遅延がかかり、信号線11の電位の立ち下げ（この実施例ではVOUの立ち下げになる）に、インバータ13一段と、NMOSコンデンサ25の放電とによる遅延がかかる。よって、図2に示すように、特に信号線11の電位の立ち下げる時（信号線11:  $VCC \rightarrow VSS$ ）の遅延時間を、増加させることができる。

【0030】次に、電源電圧VCCが、 $P0 < VCC$ のときの動作について、より詳しく説明する。まず、入力信号VINの電位が、VSSレベルのとき、インバータ13のPMOSトランジスタ21がオン、NMOSトランジスタ23がオフしている。信号線11は、PMOSトランジスタ21によって、VCCレベルに充電され、出力信号VOUの電位は、VCCレベルとなっている。このとき、NMOSコンデンサ25は、VCCレベルに充電されている。

【0031】次に、入力信号VINの電位が、VSSレベルからVCCレベルに切り替わる。すると、インバータ13のPMOSトランジスタ21がオフ、NMOSトランジスタ23がオンする。信号線11は、NMOSトランジスタ23によって、放電され、信号線11の電位は、VCCレベルからVSSレベルへと低下していく。このとき、NMOSコンデンサ25が放電する。よって、出力信号VOUの電位がVSSレベルになるまで

に要する時間に、NMOSコンデンサ25の放電に要する時間が、さらに加わる。

【0032】次に、信号線11の電位がVSSレベルになった状態で、入力信号VINの電位が、VCCレベルからVSSレベルに切り替わる。すると、インバータ13のPMOSTランジスタ21がオン、NMOSTランジスタ23がオフする。信号線11は、PMOSTランジスタ21によって、VCCレベルに充電され、信号線11の電位が、VSSレベルからVCCレベルへと上昇していく。このとき、NMOSコンデンサ25は、基板側電極がVSSレベルであるために、そのVCCレベルへの充電は速く、NMOSコンデンサ25による遅延は、無視されるレベルとなる。

【0033】このように、第1の実施例に係る装置によれば、電源電圧VCCが基準レベルP0より高くなると、スイッチ回路17により、NMOSコンデンサ25が、自動的に信号線11に接続される。NMOSコンデンサ25が信号線11に接続されると遅延時間は増加し、図2に示すように、電源電圧VCCの上昇に伴って減少していた遅延時間を、電源電圧VCCが基準レベルP0以下のときの遅延時間とほぼ同等のレベルまで戻すことができる。よって、電源電圧VCCが高くなるにつれて、遅延時間が短くなっていく、という遅延時間の電源電圧依存性を、解消することができる。

【0034】このような遅延回路を含む半導体集積回路装置では、入力される電源電圧VCCが広範囲に及んでも、常に正常に動作させることが可能である。次に、この発明の第2の実施例に係る遅延回路を含む半導体集積回路装置について説明する。

【0035】図3は、この発明の第2の実施例に係る遅延回路を含む半導体集積回路装置の回路図である。この第2の実施例に係る装置は、第1の実施例に係る装置に準ずるものであり、信号線11の電位の立ち下げに代わって、信号線11の電位の立ち上げに、より大きい遅延をかけられるものである。

【0036】図3に示すように、第2の実施例に係る装置は、第1の実施例に係る装置と、スイッチ回路17がNMOSTランジスタ28を含むこと、およびコンデンサ15がPMOSコンデンサ26を含むことが異なっている。PMOSコンデンサ26は、ソースおよびドレインがそれぞれ高電位電源VCCに接続されている。検知回路9には、図1(c)に示されたものが使用され、調節信号VP1に代わって、調節信号VP2がスイッチ回路17のNMOSTランジスタ28のゲートに入力される。

【0037】次に、第2の実施例に係る装置の動作について説明する。図4は、遅延時間と電源電圧との関係を示す図である。図4の縦軸は遅延時間(nsec)で、横軸は電源電圧(V)である。

【0038】まず、電源電圧VCCが、 $VCC \leq P0$ の

ときの動作について説明する。

【VCC ≤ P0】検知信号VP2はVSSレベルであるために、図3に示すNMOSTランジスタ28がオフし、PMOSコンデンサ26は信号線11から分離される。

【0039】この状態では、信号線11の電位の立ち上げ（この実施例ではVOU Tの立ち上げになる）、および信号線11の電位の立ち下げ（この実施例ではVOU Tの立ち下げになる）のいずれもが、インバータ13一段だけの遅延がかかる。

【0040】次に、電源電圧VCCが、 $P0 < VCC$ のときの動作について説明する。

【P0 < VCC】検知信号VP2はVCCレベルであるために、図3に示すNMOSTランジスタ28がオンし、PMOSコンデンサ26は信号線11に接続される。

【0041】この状態では、信号線11の電位の立ち上げ（この実施例ではVOU Tの立ち上げになる）に、インバータ13一段と、NMOSコンデンサ25の放電とによる遅延がかかり、信号線11の電位の立ち下げ（この実施例ではVOU Tの立ち下げになる）に、ほぼインバータ13一段だけの遅延がかかる。よって、図4に示すように、特に信号線11の電位の立ち上げるとき（信号線11：VSS → VCC）の遅延時間を、増加させることができる。

【0042】次に、電源電圧VCCが、 $P0 < VCC$ のときの動作について、より詳しく説明する。まず、入力信号VINの電位が、VCCレベルのとき、インバータ13のPMOSTランジスタ21がオフ、NMOSTランジスタ23がオンしている。信号線11は、NMOSTランジスタ23によって、VSSレベルに充電され、出力信号VOU Tの電位は、VSSレベルとなっている。このとき、PMOSコンデンサ26は、VSSレベルに充電されている。

【0043】次に、入力信号VINの電位が、VCCレベルからVSSレベルに切り替わる。すると、インバータ13のPMOSTランジスタ21がオン、NMOSTランジスタ23がオフする。信号線11は、PMOSTランジスタ21によって、充電され、信号線11の電位は、VSSレベルからVCCレベルへと上昇していく。このとき、PMOSコンデンサ26が放電する。よって、出力信号VOU Tの電位がVCCレベルになるまでに要する時間に、PMOSコンデンサ26の放電に要する時間が、さらに加わる。

【0044】次に、信号線11の電位がVCCレベルになった状態で、入力信号VINの電位が、VSSレベルからVCCレベルに切り替わる。すると、インバータ13のPMOSTランジスタ21がオフ、NMOSTランジスタ23がオンする。信号線11は、NMOSTランジスタ23によって、放電され、信号線11の電位が、

VCCレベルからVSSレベルへと低下していく。このとき、PMOSコンデンサ26は、基板側電極がVCCレベルであるために、そのVSSレベルへの充電は速く、PMOSコンデンサ26による遅延は、無視されるレベルとなる。

【0045】次に、この発明の第3の実施例に係る遅延回路を含む半導体集積回路装置について説明する。図5は、この発明の第3の実施例に係る遅延回路を含む半導体集積回路装置の回路図である。

【0046】この第3の実施例に係る装置は、信号線11の電位の立ち下げ、および立ち上げのいずれにも、遅延をかけられるものである。図5に示すように、信号線11には、図1(b)に示したPMOSTランジスタ27およびNMOSコンデンサ25と、図3に示したNMOSTランジスタ28およびPMOSコンデンサ26とがそれぞれ接続されている。

【0047】検知回路9には、図1(c)に示されたものが使用され、調節信号VP1を第1のスイッチ回路17-1のPMOSTランジスタ27のゲートに入力し、調節信号VP2を第2のスイッチ回路17-2のNMOSTランジスタ28のゲートに入力する。

【0048】また、図5に示す回路には、信号線11に入力端子を接続したインバータ13-2が接続されている。このインバータ13-2は、信号線11の電位を反転させて出力する、出力段である。インバータ13-2は、第1、第2の実施例のように、取り除かれても良い。

【0049】次に、第3の実施例に係る装置の動作について説明する。図6(a)、(b)はそれぞれ、遅延時間と電源電圧との関係を示す図である。図6(a)、

(b)それぞれの縦軸は遅延時間(nsec)で、横軸は電源電圧(V)である。

【0050】まず、電源電圧VCCが、 $VCC \leq P0$ のときの動作について説明する。

【 $VCC \leq P0$ 】検知信号VP1はVCCレベル、検知信号VP2はVSSレベルであるために、図5に示すPMOSTランジスタ27、およびNMOSTランジスタ28はともにオフし、NMOSコンデンサ25、およびPMOSコンデンサ26はそれぞれ信号線11から分離される。

【0051】この状態では、信号線11の電位の立ち上げ、および信号線11の電位の立ち下げのいずれにも、インバータ13-1一段だけの遅延がかかる。次に、電源電圧VCCが、 $P0 < VCC$ のときの動作について説明する。

【0052】【 $P0 < VCC$ 】検知信号VP1はVSSレベル、検知信号VP2はVCCレベルであるために、図3に示すPMOSTランジスタ27、およびNMOSTランジスタ28はともにオンし、NMOSコンデンサ25、およびPMOSコンデンサ26はそれぞれ信号線11に接続される。

【0053】この状態では、信号線11の電位の立ち上げに、インバータ13-1一段と、PMOSコンデンサ26の放電とによる遅延がかかり、一方、信号線11の電位の立ち下げに、インバータ13-1一段と、NMOSコンデンサ25の放電とによる遅延がかかる。よって、図6(a)に示すように、信号線11の電位を立ち下げるとき(信号線11:  $VCC \rightarrow VSS$ )の遅延時間、また、図6(b)に示すように、信号線11の電位を立ち上げるとき(信号線11:  $VSS \rightarrow VCC$ )の遅延時間をそれぞれ、増加させることができる。

【0054】次に、電源電圧VCCが、 $P0 < VCC$ のときの動作について、より詳しく説明する。まず、入力信号VINの電位が、VSSレベルのとき、インバータ13-1のPMOSTランジスタ21-1がオン、NMOSTランジスタ23-1がオフしている。信号線11は、PMOSTランジスタ21-1によって、VCCレベルに充電され、信号線11の電位は、VCCレベルとなっている。このとき、NMOSコンデンサ25はVCCレベルに充電されている。

【0055】次に、入力信号VINの電位が、VSSレベルからVCCレベルに切り替わる。すると、インバータ13-1のPMOSTランジスタ21-1がオフ、NMOSTランジスタ23-1がオンする。信号線11は、NMOSTランジスタ23-1によって、放電され、信号線11の電位は、VCCレベルからVSSレベルへと低下していく。このとき、NMOSコンデンサ25が放電する。よって、信号線11の電位がVSSレベルになるまでに要する時間に、NMOSコンデンサ25の放電に要する時間が、さらに加わる。このとき、PMOSコンデンサ26は、基板側電極がVCCレベルであるために、VSSレベルへの充電は速く、PMOSコンデンサ26による遅延は、無視されるレベルとなる。

【0056】次に、信号線11の電位がVSSレベルになった状態で、入力信号VINの電位が、VCCレベルからVSSレベルに切り替わる。すると、インバータ13-1のPMOSTランジスタ21-1がオン、NMOSTランジスタ23-1がオフする。信号線11は、PMOSTランジスタ21-1によって、充電され、信号線11の電位は、VSSレベルからVCCレベルへと上昇していく。このとき、PMOSコンデンサ26が放電する。よって、出力信号VOUTの電位がVCCレベルになるまでに要する時間に、PMOSコンデンサ26の放電に要する時間が、さらに加わる。このとき、NMOSコンデンサ25は、基板側電極がVSSレベルであるために、VCCレベルへの充電は速く、NMOSコンデンサ25による遅延は、無視されるレベルとなる。

【0057】次に、この発明の第4の実施例に係る遅延回路を含む半導体集積回路装置について説明する。図7は、この発明の第4の実施例に係る半導体集積回路装置に含まれている遅延回路の回路図である。



【0058】この第4の実施例に係る装置は、遅延回路1の遅延時間を、より大きくしようとするものである。遅延回路1の遅延時間を、より大きくするために、第4の実施例に係る装置では、インバータ13と、スイッチ回路17と、コンデンサ15とからなる遅延段を複数設け、これらの遅延段をそれぞれ直列に接続して遅延回路1を構成している。

【0059】図7に示すように、初段のインバータ13-1の出力は、第1の信号線11Aに接続されている。第1の信号線11Aには、調節信号VP2に応じてオン・オフする第1のスイッチ回路17-1が接続されている。第1の信号線11Aは、第2段のインバータ13-2の入力に接続され、この第2段のインバータ13-2の出力は、第2の信号線11Bに接続されている。第2の信号線11Bには、調節信号VP1に応じてオン・オフする第2のスイッチ回路17-2が接続されている。第2の信号線11Bは、末段のインバータ13-3の入力に接続されている。末段のインバータ13-3は、出力信号VOU

Tを出力する出力段であり、第3の実施例と同様に、取り除かれても良い。

【0060】検知回路9には、図1(c)に示されたものが使用され、調節信号VP1を、第2のスイッチ回路17-2のPMOSTランジスタ27のゲートに入力し、調節信号VP2を、第1のスイッチ回路17-1のNMOSTランジスタ28のゲートに入力する。

【0061】次に、第4の実施例に係る装置の動作について説明する。図8は、遅延時間と電源電圧との関係を示す図である。図8の縦軸は遅延時間(nsec)で、横軸は電源電圧(V)である。

【0062】まず、電源電圧VCCが、 $VCC \leq P0$ のときの動作について説明する。

【 $VCC \leq P0$ 】調節信号VP1はVCCレベル、調節信号VP2はVSSレベルであるために、図7に示すPMOSTランジスタ27、およびNMOSTランジスタ28はともにオフし、NMOSコンデンサ25は第1の信号線11Aから、PMOSコンデンサ26は第2の信号線11Bからそれぞれ分離される。

【0063】この状態では、第1の信号線11Aの電位の立ち上げおよび立ち下げに、初段インバータ13-1一段だけの遅延がかかり、また、第2の信号線11Bの電位の立ち上げおよび立ち下げに、第2段インバータ13-2一段だけの遅延がかかる。

【0064】図7に示す遅延回路1の遅延時間には、VCC入力信号VINの電位の立ち上げから出力信号VOU

Tの立ち下げまで、および入力信号VINの電位の立ち下げから出力信号VOU

Tの立ち上げまでの双方に、インバータ13-1~13-3三段の遅延時間が得られる。

【0065】次に、電源電圧VCCが、 $P0 < VCC$ のときの動作について説明する。

【 $P0 < VCC$ 】調節信号VP1はVSSレベル、調節

信号VP2はVCCレベルであるために、図7に示すPMOSTランジスタ27、およびNMOSTランジスタ28はともにオンし、NMOSコンデンサ25は第1の信号線11Aに接続され、PMOSコンデンサ26は第2の信号線11Bにそれぞれ接続される。

【0066】この状態では、第1の信号線11Aの立ち下げに、初段インバータ13-1一段と、NMOSコンデンサ25の放電とによる遅延がかかり、第2の信号線11Bの立ち上げに、第2段インバータ13-2一段と、PMOSコンデンサ26の放電とによる遅延がかかる。また、第1の信号線11Aの立ち上げに、初段インバータ13-1一段のみ、第2の信号線11Bの立ち下げに、第2段インバータ13-2一段のみの遅延がかかる。

【0067】図7に示す遅延回路1の遅延時間には、図8に示すように、電源電圧VCCが電位P0以上になると、入力信号VINの電位の立ち上げから、出力信号VOU

Tの立ち下げまでに、インバータ13-1~13-3三段の遅延時間と、NMOSコンデンサ25の放電に要する時間と、PMOSコンデンサ26の放電に要する時間とが加えられるので、第1~第3の実施例により説明した装置よりも、より大きな時間が得られる。一方、入力信号VINの電位の立ち下げから、出力信号VOU

Tの立ち上げまでに、インバータ13-1~13-3三段の遅延時間が得られる。

【0068】次に、電源電圧VCCが、 $P0 < VCC$ のときの動作について、より詳しく説明する。まず、入力信号VINの電位が、VSSレベルのとき、初段インバータ13-1のPMOSTランジスタ21-1がオン、NMOSTランジスタ23-1がオフしている。第1の信号線11Aは、PMOSTランジスタ21-1によって、VCCレベルに充電され、第1の信号線11Aの電位は、VCCレベルとなっている。このとき、NMOSコンデンサ25は、VCCレベルに充電されている。

【0069】第1の信号線11Aの電位がVCCレベルであると、第2段インバータ13-2のPMOSTランジスタ21-2がオフ、NMOSTランジスタ23-2がオンしている。第2の信号線11Bは、NMOSTランジスタ23-2によって、VSSレベルに充電され、第2の信号線11Bの電位は、VSSレベルとなっている。このとき、PMOSコンデンサ26は、VSSレベルに充電されている。

【0070】次に、入力信号VINの電位が、VSSレベルからVCCレベルに切り替わる。すると、初段インバータ13-1のPMOSTランジスタ21-1がオフ、NMOSTランジスタ23-1がオンする。第1の信号線11Aは、NMOSTランジスタ23-1によって、放電され、第1の信号線11Aの電位は、VCCレベルからVSSレベルへと低下していく。このとき、NMOSコンデンサ25が放電する。このために、第1の信号線11Aの電位がVSSレベルになるまでに要する時間に、N



MOSコンデンサ25の放電に要する時間が、さらに加わる。

【0071】第1の信号線11Aの電位がVSSレベルになると、第2段インバータ13-2のPMOSトランジスタ21-2がオン、NMOSトランジスタ23-2がオフする。第2の信号線11Bは、PMOSトランジスタ21-2によって、VCCレベルに充電され、第2の信号線11Bの電位は、VSSレベルからVCCレベルへと上昇していく。このとき、PMOSコンデンサ26が放電する。このために、第2の信号線11Bの電位がVCC

レベルになるまでに要する時間に、PMOSコンデンサ26の放電に要する時間が、さらに加わる。

【0072】第2の信号線11Bの電位がVCCレベルとなると、末段インバータ13-3のPMOSトランジスタ21-3がオフ、NMOSトランジスタ23-3がオンし、出力信号VOUを、VCCレベルからVSSレベルに低下させる。

【0073】次に、第2の信号線11Bの電位がVCCレベルになった状態で、入力信号VINの電位が、VCCレベルからVSSレベルに切り替わる。すると、初段インバータ13-1のPMOSトランジスタ21-1がオン、NMOSトランジスタ23-1がオフする。第1の信号線11Aは、PMOSトランジスタ21-1によって、VCCレベルに充電され、第1の信号線11Aの電位は、VSSレベルからVCCレベルへと上昇していく。このとき、NMOSコンデンサ25は、基板側電極がVSSレベルであるために、VCCレベルへの充電は速い。

【0074】第1の信号線11Aの電位がVCCレベルになると、第2段インバータ13-2のPMOSトランジスタ21-2がオフ、NMOSトランジスタ23-2がオンする。第2の信号線11Bは、NMOSトランジスタ23-2によって、放電され、第2の信号線11Bの電位は、VCCレベルからVSSレベルへと低下していく。このとき、PMOSコンデンサ26は、基板側電極がVCCレベルであるために、VSSレベルへの充電は速い。

【0075】第2の信号線11Bの電位がVSSレベルとなると、末段インバータ13-3のPMOSトランジスタ21-3がオン、NMOSトランジスタ23-3がオフし、出力信号VOUを、VSSレベルからVCCレベルに上昇させる。

【0076】次に、この発明の第5の実施例に係る遅延回路を含む半導体集積回路装置について説明する。図9は、この発明の第5の実施例に係る遅延回路を含む半導体集積回路装置を示す図で、(a)図はブロック図、(b)図は遅延回路の回路図、(c)図は電源電圧変動検知回路の回路図である。

【0077】この第5の実施例に装置は、遅延回路1の遅延時間を、何段階かに分けて増加させようとするもの

である。遅延回路1の遅延時間を、何段階かに分けて増加させるために、第5の実施例に係る装置では、調節信号VPに応じてオン・オフするスイッチ回路17と、コンデンサ15とを含む容量回路を複数設け、これらの容量回路を一つの信号線11に接続する。そして、スイッチ回路17により、一つの信号線11に接続されるコンデンサ15の数を、段階的に増やすようにしている。さらに、一つの信号線11に接続されるコンデンサ15の数を、段階的に増やすために、検知回路9は、電源電圧の上昇に応じて、調節信号VPの出力数を増やす、あるいは減らしていく。

【0078】まず、遅延回路1について説明する。図9(b)に示すように、インバータ13-1の出力は、信号線11に接続されている。信号線11には、第1の調節信号VP3に応じてオン・オフする第1のスイッチ回路17-1と、第2の調節信号VP4に応じてオン・オフする第2のスイッチ回路17-2とが接続されている。第1のスイッチ回路17-1はNMOSトランジスタ28を含み、同様に、第2のスイッチ回路17-2はNMOSトランジスタ28を含む。第1のコンデンサ15-1はPMOSコンデンサ26を含み、同様に、第2のコンデンサ15-2はPMOSコンデンサ26を含む。

【0079】次に、検知回路9について説明する。図9(c)に示すように、検知回路9は、高電位電源VCCと低電位電源VSSとの間に、互いに直列に接続された抵抗41、42、43を含む分圧回路31と、抵抗41と抵抗42との相互接続点に入力端子を接続したインバータ33-1と、抵抗42と抵抗43との相互接続点に入力端子を接続したインバータ33-2と、インバータ33-1の出力端子に入力端子を接続したインバータ35-1と、インバータ33-2の出力端子に入力端子を接続したインバータ35-2とを含む。第1の調節信号VP3は、インバータ35-1の出力端子から得られ、第2の調節信号VP4は、インバータ35-2の出力端子から得られる。

【0080】図10は、遅延時間と、電源電圧との関係を示す図である。図10の縦軸は遅延時間(nsec)で、横軸は電源電圧(V)である。図10に示すように、電源電圧VCCが、 $VCC \leq P1$ のとき、調節信号VP3、VP4はともにVSSレベルとなる。電源電圧VCCが上昇し、 $P1 < VCC \leq P2$ の範囲になると、調節信号VP3のみがVCCレベルとなる。電源電圧VCCがさらに上昇して、 $P2 < VCC$ の範囲になると、調節信号VP3、VP4がともにVCCレベルとなる。

【0081】まず、電源電圧VCCが、 $VCC \leq P1$ のときの動作について説明する。

【 $VCC \leq P1$ 】調節信号VP3、VP4がともにVSSレベルであるために、図9(a)に示す第1のスイッチ回路17-1のNMOSトランジスタ28、および第2のスイッチ回路17-2のNMOSトランジスタ28がと

15

もにオフし、第1のコンデンサ15-1のPMOSコンデンサ26、および第2のコンデンサ15-2のPMOSコンデンサ26はそれぞれ、信号線11から分離される。

【0082】この状態では、信号線11の立ち下げ、立ち上げの双方に、インバータ13-1一段による遅延がかかる。図9(b)に示す遅延回路1の遅延時間には、VCC入力信号VINの電位の立ち上げから出力信号VOUの立ち下げまで、および入力信号VINの電位の立ち下げから出力信号VOUの立ち上げまでの双方に、インバータ13-1とインバータ13-2二段の遅延時間が得られる。

【0083】次に、電源電圧VCCが、 $P1 < VCC \leq P2$ のときの動作について説明する。

【 $P1 < VCC \leq P2$ 】調節信号VP3はVCCレベル、調節信号VP4はVSSレベルであるために、図9(b)に示す、第1のスイッチ回路17-1のNMOSトランジスタ28のみ、オンし、第1のコンデンサ15-1のNMOSコンデンサ26のみ信号線11に接続される。

【0084】この状態では、信号線11の立ち下げに、インバータ13-1一段のみの遅延がかかり、信号線11の立ち上げに、インバータ13-1一段と、一つのNMOSコンデンサ26の放電とによる遅延がかかる。

【0085】図9(b)に示す遅延回路1の遅延時間には、図10に示すように、VCC入力信号VINの電位の立ち下げから、出力信号VOUの立ち下げまでに、インバータ13-1、13-2二段の遅延時間に、一つのNMOSコンデンサ26の放電に要する時間とが加えられる。一方、入力信号VINの電位の立ち上げから、出力信号VOUの立ち上げまでに、インバータ13-1、13-2二つの遅延時間が得られる。

【0086】次に、電源電圧VCCが、 $P1 < VCC \leq P2$ のときの動作について、より詳しく説明する。まず、入力信号VINの電位が、VCCレベルのとき、インバータ13-1のPMOSトランジスタ21-1がオフ、NMOSトランジスタ23-1がオンしている。信号線11の電位は、NMOSトランジスタ23-1によって、VSSレベルとなっている。このとき、第1のコンデンサ15-1のPMOSコンデンサ26は、VSSレベルに充電されている。

【0087】次に、入力信号VINの電位が、VCCレベルからVSSレベルに切り替わる。すると、インバータ13-1のPMOSトランジスタ21-1がオン、NMOSトランジスタ23-1がオフする。信号線11の電位は、PMOSトランジスタ21-1によって、VSSレベルからVCCレベルへと上昇する。このとき、第1のコンデンサ15-1のPMOSコンデンサ26が放電する。このため、信号線11の電位がVCCレベルになるまでに要する時間に、一つのPMOSコンデンサ26の放電に要する時間が、さらに加わる。

16

【0088】次に、信号線11の電位がVCCレベルになった状態で、入力信号VINの電位が、VSSレベルからVCCレベルに切り替わる。すると、インバータ13-1のPMOSトランジスタ21-1がオフ、NMOSトランジスタ23-1がオンする。信号線11は、NMOSトランジスタ23-1によって、VCCレベルからVSSレベルへと低下させられる。このとき、PMOSコンデンサ26は、基板側電極がVCCレベルであるために、VSSレベルへの充電は速い。

【0089】次に、電源電圧VCCが、 $P2 < VCC$ のときの動作について説明する。

【 $P2 < VCC$ 】調節信号VP3、VP4はともにVCCレベルであるために、図9(b)に示す、第2のスイッチ回路17-2のNMOSトランジスタ28が、オンし、第2のコンデンサ15-2のNMOSコンデンサ26が、さらに信号線11に接続される。

【0090】この状態では、信号線11の立ち下げに、インバータ13-1一段のみの遅延がかかり、信号線11の立ち上げに、インバータ13-1一段と、二つのNMOSコンデンサ26の放電とによる遅延がかかる。

【0091】図9(b)に示す遅延回路1の遅延時間には、図10に示すように、VCC入力信号VINの電位の立ち下げから、出力信号VOUの立ち下げまでに、インバータ13-1、13-2二段の遅延時間に、二つのNMOSコンデンサ26の放電に要する時間とが加えられる。一方、入力信号VINの電位の立ち上げから、出力信号VOUの立ち上げまでに、インバータ13-1、13-2二段の遅延時間が得られる。

【0092】次に、電源電圧VCCが、 $P2 < VCC$ のときの動作について、より詳しく説明する。まず、入力信号VINの電位が、VCCレベルのとき、インバータ13-1のPMOSトランジスタ21-1がオフ、NMOSトランジスタ23-1がオンしている。信号線11の電位は、NMOSトランジスタ23-1によって、VSSレベルとなっている。このとき、第1のコンデンサ15-1のPMOSコンデンサ26、および第2のコンデンサ15-2のPMOSコンデンサ26はともに、VSSレベルに充電されている。

【0093】次に、入力信号VINの電位が、VCCレベルからVSSレベルに切り替わる。すると、インバータ13-1のPMOSトランジスタ21-1がオン、NMOSトランジスタ23-1がオフする。信号線11の電位は、PMOSトランジスタ21-1によって、VSSレベルからVCCレベルへと上昇する。このとき、第1のコンデンサ15-1のPMOSコンデンサ26、および第2のコンデンサ15-2のPMOSコンデンサ26がそれぞれ放電する。このため、信号線11の電位がVCCレベルになるまでに要する時間に、二つのPMOSコンデンサ26の放電に要する時間が、さらに加わる。

【0094】次に、信号線11の電位がVCCレベルに

なった状態で、入力信号VINの電位が、VSSレベルからVCCレベルに切り替わる。すると、インバータ13-1のPMOSトランジスタ21-1がオフ、NMOSトランジスタ23-1がオンする。信号線11は、NMOSトランジスタ23-1によって、VCCレベルからVSSレベルへと低下させられる。このとき、二つのPMOSコンデンサ26はそれぞれ、基板側電極がVCCレベルであるために、VSSレベルへの充電は速い。

【0095】このように、第5の実施例に係る装置によれば、電源電圧VCCが、まず、第1の基準レベルP1を越え、一つのNMOSコンデンサが、自動的に信号線11に接続され、遅延時間を増加させる。さらに電源電圧VCCが、第1の基準レベルP1を越え、さらに第2の基準レベルP2を越え、もう一つのNMOSコンデンサが、自動的に信号線11に接続され、遅延時間を、さらに増加させる。よって、遅延回路1の遅延時間は、電源電圧VCCの上昇にともなって段階的に増加されるようになり、例えば遅延時間の調節を、より精密に行うことが可能となる。

【0096】次に、この発明の第6の実施例に係る遅延回路を含む半導体集積回路装置について説明する。図11は、この発明の第6の実施例に係る半導体集積回路装置に含まれている電源電圧変動検知回路の回路図である。

【0097】この第6の実施例に係る装置は、遅延回路1の遅延時間の調節を、アナログ的に行おうとするものである。遅延回路1の遅延時間の調節を、アナログ的に行うために、第6の実施例に係る装置では、検知回路9に含まれている分圧回路31の分圧点を、スイッチ回路17に直接に接続するようにしている。

【0098】図11に示す分圧回路31は、図9(c)に示されたものと同一の形である。第1の分圧点、即ち抵抗41と抵抗42との相互接続点からは、第1の調節信号VP5が得られ、第2の分圧点、即ち抵抗42と抵抗43との相互接続点からは、第2の調節信号VP6が得られる。

【0099】図11に示す検知回路9を、図9(b)に示す遅延回路1に接続し、第1の調節信号VP5を、例えば図9(b)に示すスイッチ回路17-1のゲートに入力し、第2の調節信号VP6を、例えば図9(b)に示すスイッチ回路17-2のゲートに入力する。

【0100】このようにすると、第5の実施例に係る装置において、電源電圧VCCが徐々に高くなると、まず、調節信号VP5の電位がスイッチ回路17-1のNMOS28のしきい値を越える。スイッチ回路17-1のNMOS28は、調節信号VP5の電位の上昇に伴って抵抗値が減少する可変抵抗として機能し、電源電圧VCCの上昇に伴って、信号線11に付加される容量を、大きくしていく。さらに電源電圧VCCが高くなると、調節信号VP6の電位がスイッチ回路17-2のNMOS28

のしきい値を越える。スイッチ回路17-2のNMOS28も同様に、調節信号VP6の電位の上昇に伴って抵抗値が減少する可変抵抗として機能するので、電源電圧VCCの、さらなる上昇に伴って、信号線11に付加される容量を、さらに大きくしていく。

【0101】このように、第6の実施例に係る装置によれば、遅延回路1の遅延時間の調節を、アナログ的に行わせることができるようになり、第5の実施例に係る装置と同様に、例えば遅延時間の調節を、より精密に行うことが可能となる。

【0102】なお、第6の実施例に係る装置の分圧回路31として、図1(c)に示した分圧回路31としても良い。この場合には、例えば図3に示す遅延回路1に接続すると、第2の実施例に係る装置を、遅延時間をデジタル的に切り替える構成から、遅延時間をアナログ的に切り替える構成とすることができる。

【0103】次に、この発明の第7の実施例に係る装置について説明する。図12は、この発明の第7の実施例に係る遅延回路を含む半導体集積回路装置のブロック図である。

【0104】この第7の実施例に係る装置は、遅延回路1の遅延時間を、集積回路の動作モードに応じて切り替えようとするものである。遅延回路1の遅延時間を、集積回路の動作モードに応じて切り替えるために、第7の実施例に係る装置では、第1～第6の実施例により説明した、スイッチ回路17とコンデンサ15とを含む容量回路を持つ遅延回路1を利用し、この遅延回路1の遅延時間を、モード切り替え回路10によるコントロール信号により切り替えるようにしている。

【0105】図12に示すように、切り替え回路10は、コントロール信号として、集積回路の動作モードを規定するモード信号VMを出力し（この実施例では第1のモード信号VM1と、第2のモード信号VM2とを出力する）、モード信号VMを遅延回路1に供給する。遅延回路1に供給されるモード信号VMは、遅延回路1の遅延時間を切り替えるためだけの信号でも良く、また、集積回路の全体の動作モードを規定するために、例えば出力を制御するための出力制御回路、この出力制御回路により制御される出力回路などの、他の回路部の動作を規定するための信号であっても良い。

【0106】次に、第7の実施例に係る装置の遅延回路1について説明する。図13は、第7の実施例に係る装置の遅延回路1の回路図である。図13に示すように、遅延回路1の回路は、図7に示した遅延回路1の構成に、インバータ13と、スイッチ回路17と、コンデンサ15とからなる遅延段を複数設けている形が、酷似している。異なる点は、第2の信号線11Bに接続される第2のスイッチ回路17-2が、NMOSトランジスタ28を含むことと、第2のスイッチ回路17-2に接続される、第2のコンデンサ15-2が、NMOSコンデンサ

19

25を含むことである。第1のスイッチ回路17-1のNMOSトランジスタ28のゲートには第1のモード信号VM1が入力され、第2のスイッチ回路17-2のNMOSトランジスタ28のゲートには第2のモード信号VM2が入力される。

【0107】次に、第7の実施例に係る装置の動作について説明する。図14は、図13に示す遅延回路1の動作波形図で、(a)図はVM1=VSS、VM2=VSSのときの動作波形図、(b)図はVM1=VCC、VM2=VSSのときの動作波形図、(c)図はVM1=VSS、VM2=VCCのときの動作波形図、(d)図はVM1=VCC、VM2=VCCのときの動作波形図である。

【0108】まず、第1のモード信号VM1、第2のモード信号VM2がともにVSSレベルであるときの、動作について説明する。

【VM1=VSS、VM2=VSS】第1のモード信号VM1、第2のモード信号VM2がともにVSSレベルであるために、第1のスイッチ回路17-1のNMOSトランジスタ28、および第2のスイッチ回路17-2のNMOSトランジスタ28はそれぞれオフする。

【0109】この状態では、図14(a)に示すように、入力信号VINの立ち上げから、初段インバータ13-1の出力信号Aの立ち下げ、および入力信号VINの立ち下げから、出力信号Aの立ち上げのいずれにも、初段インバータ13-1一段のみの遅延がかかる。

【0110】同様に、出力信号Aの立ち下げから、第2段インバータ13-2の出力信号Bの立ち上げ、および出力信号Aの立ち上げから、出力信号Bの立ち下げのいずれにも、第2段インバータ13-2一段のみの遅延がかかる。

【0111】同様に、出力信号Bの立ち上げから、第3段インバータ13-3の出力信号VOUの立ち下げ、および出力信号Bの立ち下げから、出力信号VOUの立ち上げのいずれにも、第3段インバータ13-3一段のみの遅延がかかる。

【0112】よって、入力信号VINの立ち上げから出力信号VOUの立ち下げまでの遅延時間 $\tau_1$ 、および入力信号VINの立ち下げから出力信号VOUの立ち上げまでの遅延時間 $\tau_2$ のいずれにも、インバータ13-1~13-3三段による遅延が得られる。

【0113】次に、第1のモード信号VM1がVCCレベル、第2のモード信号VM2がVSSレベルであるときの、動作について説明する。

【VM1=VCC、VM2=VSS】第1のモード信号VM1がVCCレベルであるために、第1のスイッチ回路17-1のNMOSトランジスタ28がオンし、第1のコンデンサ15-1が、第1の信号線11Aに接続される。

【0114】この状態では、図14(b)に示すように、入力信号VINの立ち上げから、初段インバータ1

20

3-1の出力信号Aの立ち下げに、インバータ13-1一段による遅延に、第1のコンデンサ15-1のNMOSコンデンサ25の放電による遅延が加わる。一方、入力信号VINの立ち下げから、出力信号Aの立ち上げに、インバータ13-1一段のみの遅延がかかる。

【0115】また、出力信号Aの立ち下げから、第2段インバータ13-2の出力信号Bの立ち上げ、および出力信号Aの立ち上げから、出力信号Bの立ち下げのいずれにも、第2段インバータ13-2一段のみの遅延がかかる。

【0116】また、出力信号Bの立ち上げから、第3段インバータ13-3の出力信号VOUの立ち下げ、および出力信号Bの立ち下げから、出力信号VOUの立ち上げのいずれにも、第3段インバータ13-3一段のみの遅延がかかる。

【0117】よって、遅延時間 $\tau_1$ には、インバータ13-1~13-3三段による遅延に、一つのNMOSコンデンサ25の放電による遅延を加えたものが得られる。また、遅延時間 $\tau_2$ には、インバータ13-1~13-3三段による遅延のみが得られる。

【0118】次に、第1のモード信号VM1がVSSレベル、第2のモード信号VM2がVCCレベルであるときの、動作について説明する。

【VM1=VSS、VM2=VCC】第2のモード信号VM2がVCCレベルであるために、第2のスイッチ回路17-2のNMOSトランジスタ28がオンし、第2のコンデンサ15-2が、第2の信号線11Bに接続される。

【0119】この状態では、図14(c)に示すように、入力信号VINの立ち上げから、初段インバータ13-1の出力信号Aの立ち下げ、および入力信号VINの立ち下げから、出力信号Aの立ち上げのいずれにも、初段インバータ13-1一段のみの遅延がかかる。

【0120】また、出力信号Aの立ち下げから、第2段インバータ13-2の出力信号Bの立ち上げに、インバータ13-2一段のみの遅延がかかる。一方、出力信号Aの立ち上げから、出力信号Bの立ち下げに、インバータ13-2一段による遅延に、第2のコンデンサ15-2のNMOSコンデンサ25の放電による遅延が加わる。

【0121】また、出力信号Bの立ち上げから、第3段インバータ13-3の出力信号VOUの立ち下げ、および出力信号Bの立ち下げから、出力信号VOUの立ち上げのいずれにも、第3段インバータ13-3一段のみの遅延がかかる。

【0122】よって、遅延時間 $\tau_1$ には、インバータ13-1~13-3三段による遅延のみが得られ、また、遅延時間 $\tau_2$ には、インバータ13-1~13-3三段による遅延に、一つのNMOSコンデンサ25の放電による遅延を加えたものが得られる。

【0123】次に、第1のモード信号VM1、第2のモ

ード信号VM2がともにVCCレベルであるときの、動作について説明する。

〔VM1=VCC、VM2=VCC〕第1のモード信号VM1、および第2のモード信号VM2がともにVCCレベルであるために、第1のコンデンサ15-1のNMOSトランジスタ25が第1の信号線11Aに接続され、第2のコンデンサ15-2のNMOSトランジスタ25が第2の信号線11Bに接続される。

〔0124〕この状態では、図14(d)に示すように、入力信号VINの立ち上げから、初段インバータ13-1の出力信号Aの立ち下げに、インバータ13-1一段による遅延に、第1のコンデンサ15-1のNMOSコンデンサ25の放電による遅延が加わる。一方、入力信号VINの立ち下げから、出力信号Aの立ち上げに、インバータ13-1一段のみの遅延がかかる。

〔0125〕また、出力信号Aの立ち下げから、第2段インバータ13-2の出力信号Bの立ち上げに、インバータ13-2一段のみの遅延がかかる。一方、出力信号Aの立ち上げから、出力信号Bの立ち下げに、インバータ13-2一段による遅延に、第2のコンデンサ15-2のNMOSコンデンサ25の放電による遅延が加わる。

〔0126〕また、出力信号Bの立ち上げから、第3段インバータ13-3の出力信号VOUの立ち下げ、および出力信号Bの立ち下げから、出力信号VOUの立ち上げのいずれにも、第3段インバータ13-3一段のみの遅延がかかる。

〔0127〕よって、遅延時間 $\tau_1$ 、遅延時間 $\tau_2$ のいずれにも、インバータ13-1~13-3三段による遅延に、一つのNMOSコンデンサ25の放電による遅延を加えたものが得られる。

〔0128〕次に、第8の実施例に係る装置の遅延回路1について説明する。図15は、第8の実施例に係る装置の遅延回路1の回路図である。この第8の実施例に係る装置は、第7の実施例に係る装置に準ずるものであり、信号線11Aおよび信号線11Bの立ち下げに代わって、信号線11Aおよび信号線11bの立ち上げに、より大きい遅延をかけられるものである。

〔0129〕図15に示すように、第8の実施例に係る装置は、第7の実施例に係る装置と、第1のコンデンサ15-1がPMOSコンデンサ26を含むこと、および第2のコンデンサ15-2がPMOSコンデンサ26を含むことが異なっている。

〔0130〕次に、第8の実施例に係る装置の動作について説明する。図16は、図15に示す遅延回路1の動作波形図で、(a)図はVM1=VSS、VM2=VSSのときの動作波形図、(b)図はVM1=VCC、VM2=VSSのときの動作波形図、(c)図はVM1=VSS、VM2=VCCのときの動作波形図、(d)図はVM1=VCC、VM2=VCCのときの動作波形図である。

〔0131〕まず、第1のモード信号VM1、第2のモ

ード信号VM2がともにVSSレベルであるときの、動作について説明する。

〔VM1=VSS、VM2=VSS〕第1のモード信号VM1、第2のモード信号VM2がともにVSSレベルであるために、第1のスイッチ回路17-1のNMOSトランジスタ28、および第2のスイッチ回路17-2のNMOSトランジスタ28はそれぞれオフする。

〔0132〕したがって、図16(a)に示すように、第7の実施例に係る装置と同様、入力信号VINの立ち上げから出力信号VOUの立ち下げまでの遅延時間 $\tau_1$ 、および入力信号VINの立ち下げから出力信号VOUの立ち上げまでの遅延時間 $\tau_2$ のいずれにも、インバータ13-1~13-3三段による遅延が得られる。

〔0133〕次に、第1のモード信号VM1がVCCレベル、第2のモード信号VM2がVSSレベルであるときの、動作について説明する。

〔VM1=VCC、VM2=VSS〕第1のモード信号VM1がVCCレベルであるために、第1のスイッチ回路17-1のNMOSトランジスタ28がオンし、第1のコンデンサ15-1が、第1の信号線11Aに接続される。

〔0134〕この状態では、図16(b)に示すように、特に、入力信号VINの立ち下げから、出力信号Aの立ち上げに、インバータ13-1一段による遅延に、第1のコンデンサ15-1のPMOSコンデンサ26の放電による遅延が加わる。

〔0135〕よって、遅延時間 $\tau_1$ には、インバータ13-1~13-3三段による遅延のみが得られ、遅延時間 $\tau_2$ には、インバータ13-1~13-3三段による遅延に、一つのPMOSコンデンサ26の放電による遅延を加えたものが得られる。

〔0136〕次に、第1のモード信号VM1がVSSレベル、第2のモード信号VM2がVCCレベルであるときの、動作について説明する。

〔VM1=VSS、VM2=VCC〕第2のモード信号VM2がVCCレベルであるために、第2のスイッチ回路17-2のNMOSトランジスタ28がオンし、第2のコンデンサ15-2が、第2の信号線11Bに接続される。

〔0137〕この状態では、図14(c)に示すように、特に、出力信号Aの立ち下げから、出力信号Bの立ち上げに、インバータ13-2一段による遅延に、第2のコンデンサ15-2のPMOSコンデンサ26の放電による遅延が加わる。

〔0138〕よって、遅延時間 $\tau_1$ には、インバータ13-1~13-3三段による遅延に、一つのPMOSコンデンサ26の放電による遅延を加えたものが得られ、また、遅延時間 $\tau_2$ には、インバータ13-1~13-3三段による遅延のみが得られる。

〔0139〕次に、第1のモード信号VM1、第2のモ

ード信号VM2がともにVCCレベルであるときの、動作について説明する。

【0140】この状態では、図14(d)に示すように、特に、入力信号VINの立ち下げから、出力信号Aの立ち上げに、インバータ13-1一段による遅延に、第1のコンデンサ15-1のPMOSコンデンサ26の放電による遅延が加わる。

【0141】また、出力信号Aの立ち下げから、出力信号Bの立ち上げに、インバータ13-2一段による遅延に、第2のコンデンサ15-2のPMOSコンデンサ26の放電による遅延が加わる。

【0142】よって、遅延時間 $\tau_1$ 、遅延時間 $\tau_2$ のいずれにも、インバータ13-1~13-3三段による遅延に、一つのNMOSコンデンサ26の放電による遅延を加えたものが得られる。

【0143】このように第8の実施例に係る装置は、第7の実施例に係る装置と、同様な動作を行なうが、集積回路には、NMOSコンデンサの放電特性およびPMOSコンデンサの放電特性、回路のロジックなどを考慮して、最適なほうを作り込めば良い。

【0144】また、集積回路には、膨大な回路が集積されているので、これらの回路毎に、第7の実施例に係る装置および第8の実施例に係る装置から、最適なほうを選び、回路毎に使い分けるようにしても良い。

【0145】次に、第9の実施例に係る装置の遅延回路1について説明する。図17は、第9の実施例に係る装置の遅延回路1の回路図である。この第9の実施例に係る装置は、第7の実施例、あるいは第8の実施例に係る装置の遅延時間 $\tau_1$ および遅延時間 $\tau_2$ を双方同時に、より大きくしようとするものである。遅延時間を、より大きくするために、第9の実施例に係る装置では、図17に示すように、図15に示した回路にさらに、第3のコンデンサ15-3を第3のスイッチ回路17-3を介して第1の信号線11Aに接続し、第4のコンデンサ15-4を第4のスイッチ回路17-4を介して第2の信号線11Bに接続する。そして、第3のコンデンサ15-3にNMOSコンデンサ25を設け、第4のコンデンサ15-4にNMOSコンデンサ25を設ける。さらに第3のスイッチ回路17-3を第1のモード信号VM1で制御し、第4のスイッチ回路17-4を第2のモード信号VM2で制御する。

【0146】このような回路であると、スイッチ回路17-1、17-3がオンしたとき、出力信号Aの立ち上げおよび立ち下げの双方に、MOSコンデンサの放電による

遅延を加えることができ、同様に、スイッチ回路17-2、17-4がオンしたとき、出力信号Bの立ち上げおよび立ち下げの双方に、MOSコンデンサの放電による遅延を加えることができる。

【0147】次に、第9の実施例に係る装置の動作について説明する。図18は、図17に示す遅延回路1の動作波形図で、(a)図はVM1=VSS, VM2=VSSのときの動作波形図、(b)図はVM1=VCC, VM2=VSSのときの動作波形図、(c)図はVM1=VSS, VM2=VCCのときの動作波形図、(d)図はVM1=VCC, VM2=VCCのときの動作波形図である。

【0148】まず、第1のモード信号VM1、第2のモード信号VM2がともにVSSレベルであるときの、動作について説明する。

【VM1=VSS, VM2=VSS】第1のモード信号VM1、第2のモード信号VM2がともにVSSレベルのときには、第1のスイッチ回路17-1~第4のスイッチ回路17-4のNMOSトランジスタ28がそれぞれ、オフする。

【0149】したがって、図18(a)に示すように、第7、第8の実施例に係る装置と同様、入力信号VINの立ち上げから出力信号VOUの立ち下げまでの遅延時間 $\tau_1$ 、および入力信号VINの立ち下げから出力信号VOUの立ち上げまでの遅延時間 $\tau_2$ のいずれにも、インバータ13-1~13-3三段による遅延が得られる。

【0150】次に、第1のモード信号VM1がVCCレベル、第2のモード信号VM2がVSSレベルであるときの、動作について説明する。

【VM1=VCC, VM2=VSS】第1のモード信号VM1がVCCレベルのときには、第1のスイッチ回路17-1および第3のスイッチ回路17-3のNMOSトランジスタ28がそれぞれオンし、第1のコンデンサ15-1および第3のコンデンサ15-2がそれぞれ、第1の信号線11Aに接続される。

【0151】この状態では、図16(b)に示すように、特に、入力信号VINの立ち上げから、出力信号Aの立ち下げに、インバータ13-1一段による遅延に、第3のコンデンサ15-3のNMOSコンデンサ25の放電による遅延が加わる。

【0152】また、入力信号VINの立ち下げから、出力信号Aの立ち上げに、インバータ13-1一段による遅延に、第1のコンデンサ15-1のPMOSコンデンサ26の放電による遅延が加わる。

【0153】よって、遅延時間 $\tau_1$ には、インバータ13-1~13-3三段による遅延に、一つのNMOSコンデンサ25の放電による遅延を加えたものが得られ、遅延時間 $\tau_2$ には、インバータ13-1~13-3三段による遅延に、一つのPMOSコンデンサ26の放電による遅延を加えたものが得られる。



25

【0154】次に、第1のモード信号VM1がVSSレベル、第2のモード信号VM2がVCCレベルであるときの、動作について説明する。

【VM1=VSS、VM2=VCC】第2のモード信号VM2がVCCレベルのときには、第2のスイッチ回路17-2および第4のスイッチ回路17-4のNMOSトランジスタ28がそれぞれオンし、第2のコンデンサ15-2および第4のコンデンサ15-4がそれぞれ、第2の信号線11Bに接続される。

【0155】この状態では、図14(c)に示すように、特に、出力信号Aの立ち下げから、出力信号Bの立ち上げに、インバータ13-2一段による遅延に、第2のコンデンサ15-2のPMOSコンデンサ26の放電による遅延が加わる。

【0156】また、出力信号VINの立ち上げから、出力信号Bの立ち下げに、インバータ13-2一段による遅延に、第4のコンデンサ15-4のNMOSコンデンサ25の放電による遅延が加わる。

【0157】よって、遅延時間 $\tau_1$ には、インバータ13-1~13-3三段による遅延に、一つのNMOSコンデンサ25の放電による遅延を加えたものが得られ、遅延時間 $\tau_2$ には、インバータ13-1~13-3三段による遅延に、一つのPMOSコンデンサ26の放電による遅延を加えたものが得られる。

【0158】次に、第1のモード信号VM1、第2のモード信号VM2がともにVCCレベルであるときの、動作について説明する。

【VM1=VCC、VM2=VCC】第1のモード信号VM1、および第2のモード信号VM2がともにVCCレベルのときには、第1のスイッチ回路17-1~第4のスイッチ回路17-4のNMOSトランジスタ28がそれぞれ、オンする。よって、第1のコンデンサ15-1および第3のコンデンサ15-2がそれぞれ、第1の信号線11Aに接続され、第2のコンデンサ15-2および第4のコンデンサ15-4がそれぞれ、第2の信号線11Bに接続される。

【0159】この状態では、図14(d)に示すように、特に、入力信号VINの立ち上げから、出力信号Aの立ち下げに、インバータ13-1一段による遅延に、第3のコンデンサ15-3のNMOSコンデンサ25の放電による遅延が加わる。

【0160】また、入力信号VINの立ち下げから、出力信号Aの立ち上げに、インバータ13-1一段による遅延に、第1のコンデンサ15-1のPMOSコンデンサ26の放電による遅延が加わる。

【0161】さらに、出力信号Aの立ち下げから、出力信号Bの立ち上げに、インバータ13-2一段による遅延に、第2のコンデンサ15-2のPMOSコンデンサ26の放電による遅延が加わる。

【0162】また、出力信号VINの立ち上げから、出

26

力信号Bの立ち下げに、インバータ13-2一段による遅延に、第4のコンデンサ15-4のNMOSコンデンサ25の放電による遅延が加わる。

【0163】よって、遅延時間 $\tau_1$ および遅延時間 $\tau_2$ の双方に、インバータ13-1~13-3三段による遅延に、一つのNMOSコンデンサ25の放電による遅延と、一つのPMOSコンデンサ26の放電による遅延とを加えたものが得られる。

【0164】このように第9の実施例に係る装置は、第7、第8の実施例に係る装置に比べ、遅延時間 $\tau_1$ および遅延時間 $\tau_2$ をそれぞれ、より大きくすることができ、以上のように、上記第1~第6の実施例に係る装置によれば、電源電圧が大きくなると、コンデンサが自動的に信号線に接続され、遅延時間を延長する。このために、電源電圧依存性が小さい遅延回路を得ることができる。このような遅延回路を有した半導体集積回路装置では、電源電圧が変動したとしても、正常に動作する。

【0165】また、電源電圧依存性が小さい遅延回路を有する半導体集積回路装置では、様々な電源電圧を与えても、正常に動作させることができ、1つのチップで、様々な電源電圧への対応も可能である。

【0166】また、上記第7~第9の実施例に係る装置によれば、動作モードに応じて、コンデンサを自動的に信号線に接続し、遅延時間を延長するために、1つのチップで、様々な動作モードへの対応が可能である。

【0167】なお、コンデンサ15のMOSコンデンサ、スイッチ回路17のMOSコンデンサの導電型は、上記実施例の他、自由に組み替えることができる。また、上記第1~第6の実施例に係る装置を設計するときには、設計電源電圧を、基準レベルP0から、ずらした方がよい。基準レベルP0は、遅延時間の切り替えが行われる電源電圧であるので、これを設計電源電圧として、回路を設計すると、回路の、本来の動作を検証することが難しくなるためである。設計電源電圧は、基準レベルから、好ましくは高めに設定する。このようにすることで、回路の、本来の動作の検証が容易になる。

【0168】また、設計電源電圧を、電源電圧の保証範囲のセンターにすると、設計電源電圧は、切り替えによりずれる遅延時間の間に対応した電圧、より好ましくは、ずれる遅延時間の中間に対応した電圧を選ぶのがよい。

【0169】例えば図10には、VCCセンターが示されているが、これは、保証範囲のセンターである。図10に示すVCCセンターの電圧は、基準レベルP1付近の、最低の遅延時間 $\tau_{min}$ と最大の遅延時間 $\tau_{max}$ との中間の時間 $\tau_{cent}$ に対応している。

【0170】このようにすることで、保証範囲のセンターから、最低の遅延時間 $\tau_{min}$ へのずれと、最大の遅延時間 $\tau_{max}$ へのずれとを等しくでき、集積回路の設計に際して、回路を、保証範囲へ合わせ込み易くなる。



【0171】

【発明の効果】以上説明したように、この発明によれば、遅延時間の電源電圧依存性を小さくできる遅延回路を含む半導体集積回路装置と、動作モードに応じて、遅延時間を変えられる遅延回路を含む半導体集積回路装置とを提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施例に係る半導体集積回路装置を示す図で、(a)図はブロック図、(b)図は遅延回路の回路図、(c)図は検知回路の回路図。

【図2】図2はこの発明の第1の実施例に係る半導体集積回路装置の遅延時間と電源電圧との関係を示す図。

【図3】図3はこの発明の第2の実施例に係る半導体集積回路装置の遅延回路の回路図。

【図4】図4はこの発明の第2の実施例に係る半導体集積回路装置の遅延時間と電源電圧との関係を示す図。

【図5】図5はこの発明の第3の実施例に係る半導体集積回路装置の遅延回路の回路図。

【図6】図6はこの発明の第3の実施例に係る半導体集積回路装置の遅延時間と電源電圧との関係を示す図で、(a)図は信号線11の電位を立ち下げるときの関係を示す図、(b)図は信号線11の電位を立ち上げるときの関係を示す図。

【図7】図7はこの発明の第4の実施例に係る半導体集積回路装置の遅延回路の回路図。

【図8】図8はこの発明の第4の実施例に係る半導体集積回路装置の遅延時間と電源電圧との関係を示す図。

【図9】図9はこの発明の第5の実施例に係る半導体集積回路装置を示す図で、(a)図はブロック図、(b)図は遅延回路の回路図、(c)図は検知回路の回路図。

【図10】図10はこの発明の第5の実施例に係る半導体集積回路装置の遅延時間と電源電圧との関係を示す図。

【図11】図11はこの発明の第6の実施例に係る半導体集積回路装置の検知回路の回路図。

【図12】図12はこの発明の第7の実施例に係る半導

体集積回路装置のブロック図。

【図13】図13は図12に示す遅延回路の回路図。

【図14】図14は図13に示す遅延回路の動作波形図

で、(a)図はVM1=VSS, VM2=VSSのときの動作波形図、

(b)図はVM1=VCC, VM2=VSSのときの動作波形図、

(c)図はVM1=VSS, VM2=VCCのときの動作波形図、

(d)図はVM1=VCC, VM2=VCCのときの動作波形図。

【図15】図15はこの発明の第8の実施例に係る半導体集積回路装置の遅延回路の回路図。

【図16】図16は図15に示す遅延回路の動作波形図

で、(a)図はVM1=VSS, VM2=VSSのときの動作波形図、

(b)図はVM1=VCC, VM2=VSSのときの動作波形図、

(c)図はVM1=VSS, VM2=VCCのときの動作波形図、

(d)図はVM1=VCC, VM2=VCCのときの動作波形図。

【図17】図17はこの発明の第9の実施例に係る半導体集積回路装置の遅延回路の回路図。

【図18】図18は図17に示す遅延回路の動作波形図

で、(a)図はVM1=VSS, VM2=VSSのときの動作波形図、

(b)図はVM1=VCC, VM2=VSSのときの動作波形図、

(c)図はVM1=VSS, VM2=VCCのときの動作波形図、

(d)図はVM1=VCC, VM2=VCCのときの動作波形図。

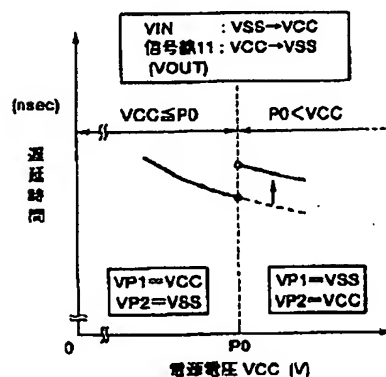
【図19】図19は従来の遅延回路の回路図。

【図20】図20は遅延時間と電源電圧との関係を示す図。

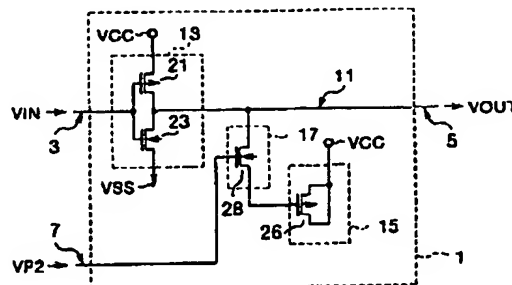
【符号の説明】

1…遅延回路、9…電源電圧変動検知回路、11、11A、11B…出力信号線、13、13-1、13-2、13-3…CMOS型インバータ、15…コンデンサ、17…スイッチ回路、21、21-1、21-2、21-3…Pチャネル型MOSトランジスタ、23、23-1、23-2、23-3…Nチャネル型MOSトランジスタ、25…Nチャネル型MOSコンデンサ、26…Pチャネル型MOSコンデンサ、27…Pチャネル型MOSトランジスタ、28…Nチャネル型MOSトランジスタ、31…分圧回路、33、35…インバータ、41、43…抵抗。

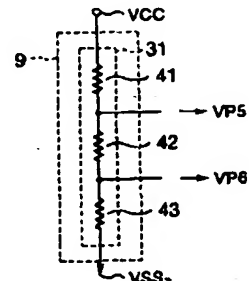
【図2】



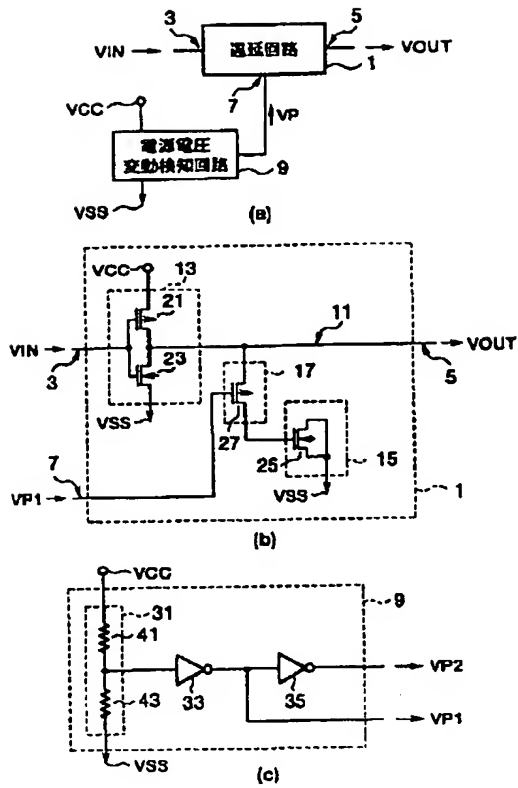
【図3】



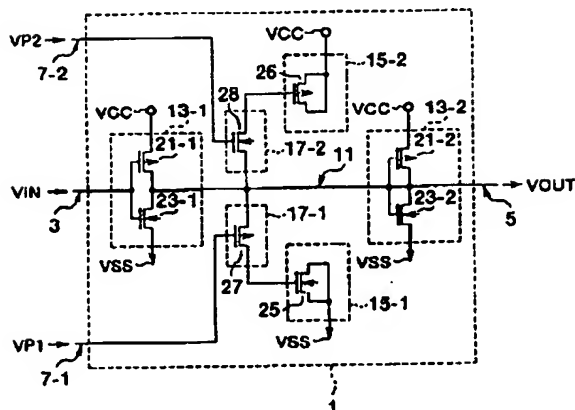
【図11】



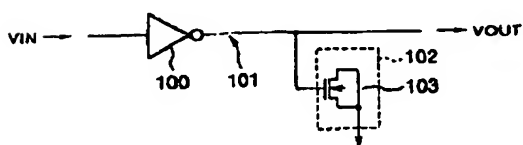
【図1】



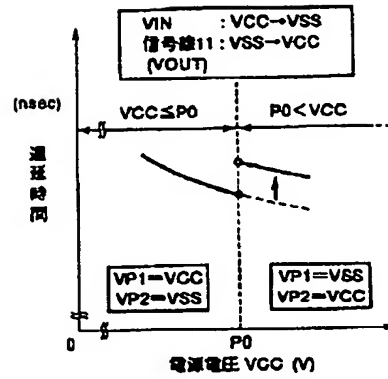
【図5】



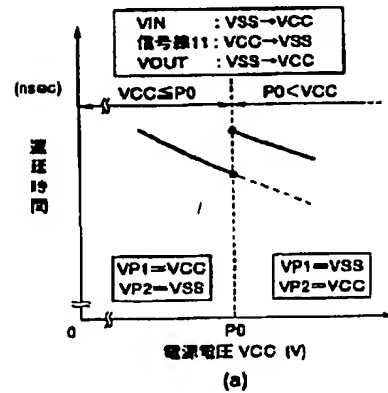
【図19】



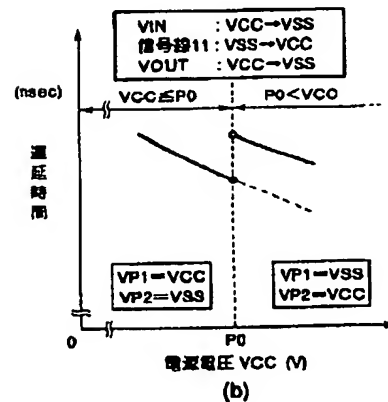
【図4】



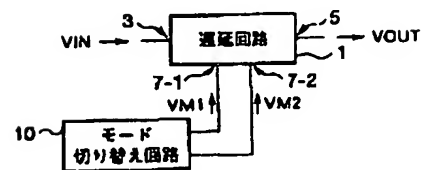
【図6】



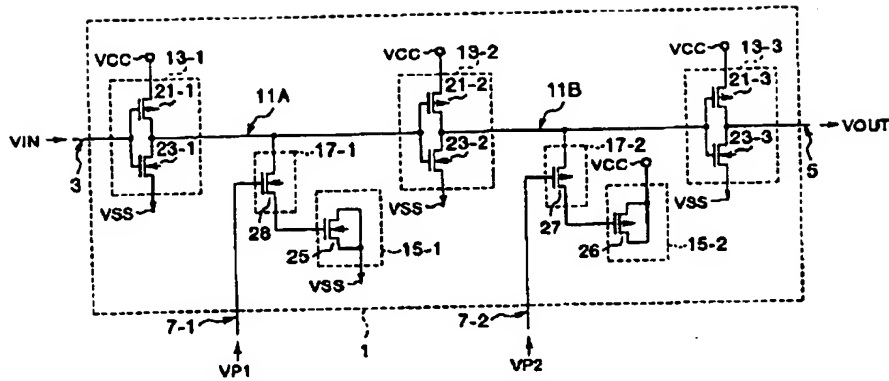
(a)



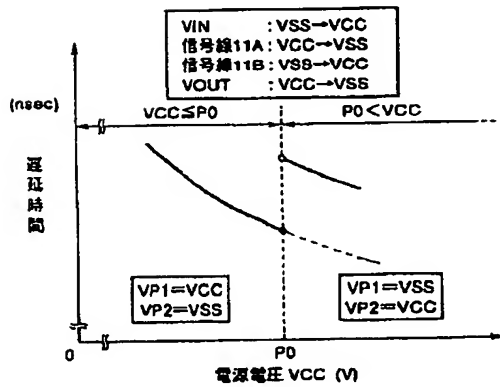
【図12】



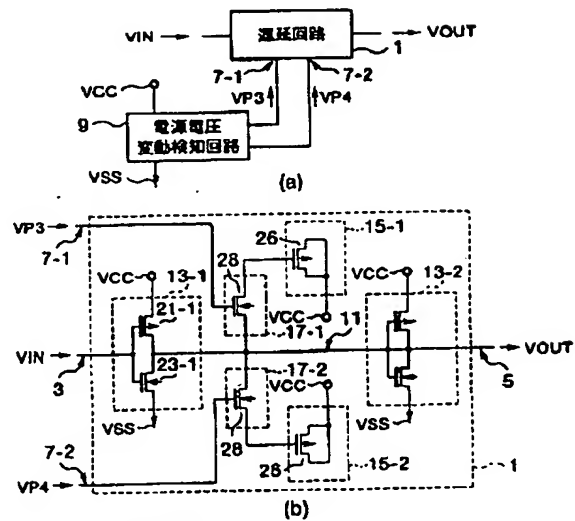
【図 7】



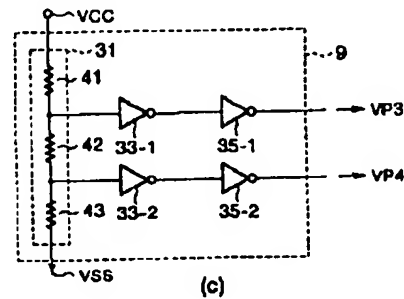
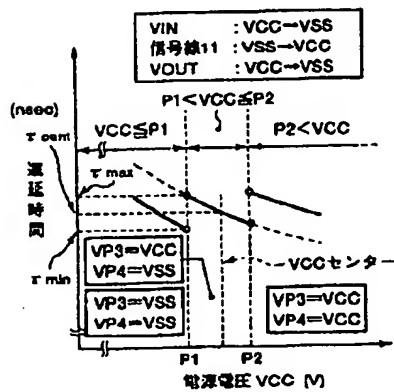
【図 8】



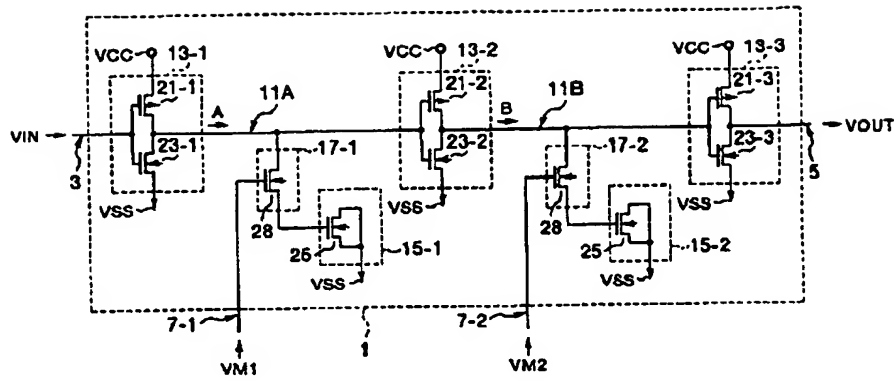
【図 9】



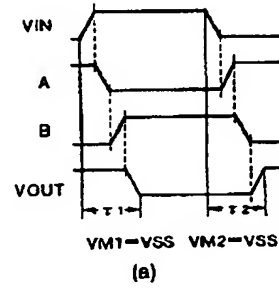
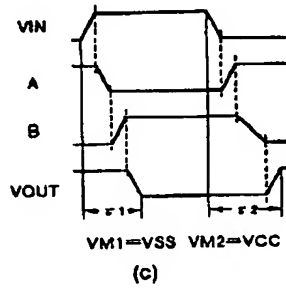
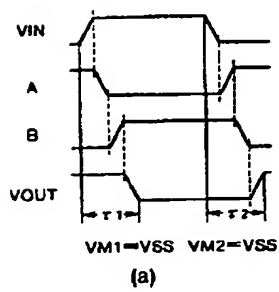
【図 10】



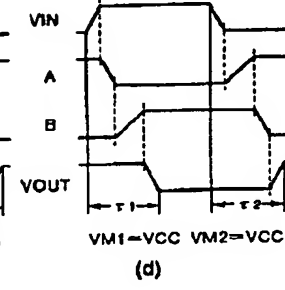
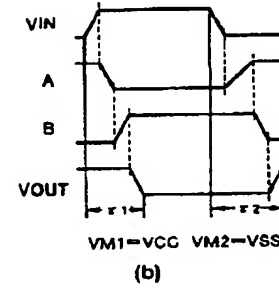
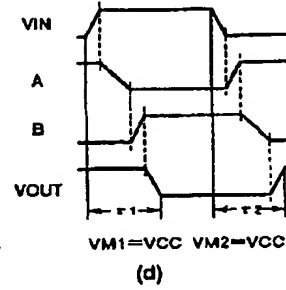
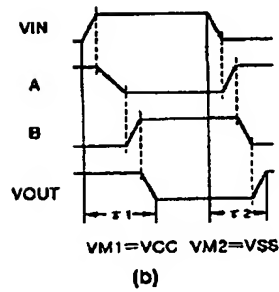
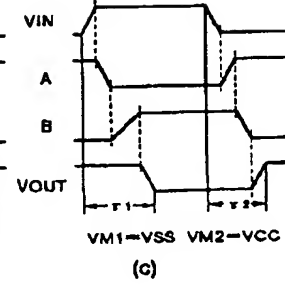
【図13】



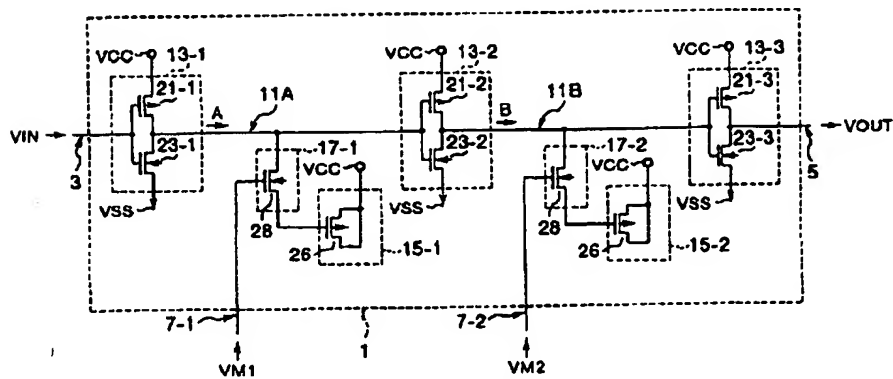
【図14】



【図16】



【図15】



[illegible]

Figure 1 consists of four timing diagrams labeled (a), (b), (c), and (d), each showing the relationship between input signals (VIN, A, B) and output (VOUT) over two time intervals, T1 and T2. The diagrams illustrate the operation of the proposed 1T1C1E1S1 architecture under different biasing conditions for VM1 and VM2.

- (a) VM1=VSS, VM2=VSS:** VIN is high during T1 and low during T2. A is high during T1 and low during T2. B is low during T1 and high during T2. VOUT is low during T1 and high during T2.
- (b) VM1=VCC, VM2=VSS:** VIN is high during T1 and low during T2. A is high during T1 and low during T2. B is low during T1 and high during T2. VOUT is high during T1 and low during T2.
- (c) VM1=VSS, VM2=VCC:** VIN is high during T1 and low during T2. A is high during T1 and low during T2. B is low during T1 and high during T2. VOUT is low during T1 and high during T2.
- (d) VM1=VCC, VM2=VCC:** VIN is high during T1 and low during T2. A is high during T1 and low during T2. B is low during T1 and high during T2. VOUT is high during T1 and low during T2.

A graph showing the relationship between supply voltage  $V_{CC}$  (V) on the x-axis and delay time (nsec) on the y-axis. The curve starts at a high delay time for low  $V_{CC}$  and decreases sharply as  $V_{CC}$  increases, eventually leveling off around 5V.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**